

OKI.611

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Marie Hiraizumi

Group Art Unit: 2826

Serial No.: 10/760,463

Examiner: F. Erdem

Filed: January 21, 2004

Confirm. No.: 1381

For: SEMICONDUCTOR DEVICE AND PROCESS OF FABRICATING SAME

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
220 20th Street S.
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Date: November 30, 2004

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2003-371729

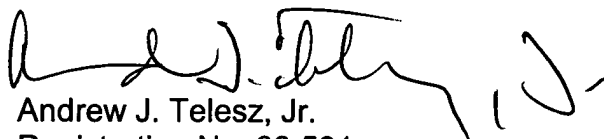
filed October 31, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.


Andrew J. Telesz, Jr.
Registration No. 33,581

One Freedom Square
11951 Freedom Drive, Suite 1260
Reston, Virginia 20190
Tel. (703) 715-0870
Fax. (703) 715-0877

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 1 7 2 9
Application Number:

ST. 10/C] : [J P 2 0 0 3 - 3 7 1 7 2 9]

願 人 沖電気工業株式会社
Applicant(s):

2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

【書類名】 特許願
【整理番号】 OH003881
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/265
【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 【氏名】 平泉 麻理恵
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【代理人】
 【識別番号】 100085419
 【弁理士】
 【氏名又は名称】 大垣 孝
【手数料の表示】
 【予納台帳番号】 012715
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001068

【書類名】 特許請求の範囲**【請求項 1】**

第 1 導電型の半導体基板と、
前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、
前記半導体基板に形成されたソース及びドレインと、
前記ソース内から前記ゲート電極の直下にわたって形成された第 1 導電型のソース側不純物層及び前記ドレイン内から前記ゲート電極の直下にわたって形成された第 1 導電型のドレイン側不純物層とを有し、

前記ソース側不純物層は、前記ソース内よりも前記ゲート電極の直下において、前記半導体基板の表面から深い位置に形成されており、

前記ドレイン側不純物層は、前記ドレイン内よりも前記ゲート電極の直下において、前記半導体基板の表面から深い位置に形成されていることを特徴とする半導体装置。

【請求項 2】

前記ゲート電極の直下における前記ソース側不純物層および前記ドレイン側不純物層の下端面が、前記ソース及び前記ドレインの下端面と同じ深さまたは該下端面よりも深くなるように、該ソース側不純物層および該ドレイン側不純物層が形成されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ソース及び前記ドレインが、前記ゲート電極の側面直下付近に形成された L D D 領域を有し、

該 L D D 領域直下の前記半導体基板内に、前記ソース側不純物層および前記ドレイン側不純物層が形成された、

ことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

第 1 導電型の半導体基板にゲート絶縁膜及びゲート電極を形成する工程と、
前記ゲート電極の側面に、サイドウォールを形成する工程と、
前記半導体基板の露出面に、表面被覆膜を形成する工程と、
前記半導体基板に不純物を導入することによって、ソース及びドレインを形成する工程と、

前記サイドウォールを除去する工程と、

前記サイドウォールが除去された面及び前記表面被覆膜を介して前記半導体基板に第 1 導電型の不純物を導入することにより、ソース側不純物層及びドレイン側不純物層を形成する工程とを有し、

前記ソース側不純物層は、前記ソース内から前記ゲート電極の直下にわたって延在し、且つ、前記ソース内よりも前記ゲート電極の直下において、前記半導体基板の表面から深い位置に形成し、

前記ドレイン側不純物層は、前記ドレイン内から前記ゲート電極の直下にわたって延在し、且つ、前記ドレイン内よりも前記ゲート電極の直下において、前記半導体基板の表面から深い位置に形成することを特徴とする半導体装置の製造方法。

【請求項 5】

前記ゲート電極の近傍であって且つ前記ソース側不純物層及び前記ドレイン側不純物層の直上の領域に、第 2 導電型の L D D 領域を形成する工程をさらに含むことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記 L D D 領域上に、前記ゲート絶縁膜および前記ゲート電極の側面を覆うサイドウォールを形成する工程をさらに含むことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記ゲート電極の直下における前記ソース側不純物層および前記ドレイン側不純物層の下端が、前記ソース及び前記ドレインの下端と同じ深さまたは該下端よりも深くなるよう

に、該ソース側不純物層および該ドレイン側不純物層が形成されたことを特徴とする請求項 4 ～ 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】

前記ソース側不純物層及び前記ドレイン側不純物層を形成する工程が、前記ゲート電極の直下領域にまで伸びるように該ソース側不純物層及び該ドレイン側不純物層を形成するための、斜めイオン注入工程であることを特徴とする請求項 4 ～ 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】

前記表面被覆膜は、前記半導体基板の表面を酸化させて形成することを特徴とする請求項 4 ～ 8 のいずれかに記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、ポケット領域が設けられた電界効果トランジスタを有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

従来、半導体装置に形成される電界効果トランジスタとして、サイドウォールの下にポケット領域を設けた電界効果トランジスタが知られている。ポケット領域は、ソース・ドレイン領域とは逆の導電型に形成される。ポケット領域を設けることにより、電界効果トランジスタの短チャネル効果を抑制することができる。ポケット領域を設けた電界効果トランジスタに関する文献としては、例えば、下記特許文献1～3が知られている。

【0003】

このような電界効果トランジスタにおいて、短チャネル効果を抑制するためには、ポケットの不純物濃度は大きいほど良く、また、ポケット領域の形成位置は深いほど良い。さらには、短チャネル効果を十分に抑制するためには、ポケット領域がゲート電極の直下にまで伸びて形成されていることが望ましい。

【0004】

ポケット領域の不純物濃度を大きくするためには、このポケット領域を形成する際のドーズ量を大きくすればよい。しかしながら、このドーズ量を大きくすると、ソース・ドレイン領域と基板との間の接合容量および接合リーク電流が増大してしまうという欠点が生じる。ポケット領域形成時のドーズ量を増大させることにより、ソース・ドレイン領域の下端面近傍において、基板の不純物濃度が増大してしまうからである。

【0005】

基板の不純物濃度上昇を防止するためには、ポケット領域を、ソース・ドレイン領域の下端面よりも浅い位置に形成すればよい。しかしながら、上述のように、ポケット領域を浅い位置に形成すると、短チャネル効果の抑制効果が減少する。

【0006】

また、ゲート電極の直下にまで伸びるようにポケット領域を形成するために、従来は、斜めイオン注入法が利用されていた。しかしながら、ポケット領域形成時の斜めイオン注入を利用する場合、隣接する他のゲート電極が遮蔽して不純物が導入されない領域が発生してしまい、また、不純物が導入されない領域の面積がゲート電極の高さのばらつきに起因してばらついてしまうという問題が生じる。これらの問題が電界効果トランジスタの特性に影響を与えないようにするためには、イオン注入角度は $30^{\circ} \sim 40^{\circ}$ 程度以下に限定されてしまう。このため、斜めイオン注入法を用いてゲート電極直下にまで伸びるポケット領域を形成する方法では、短チャネル効果を十分に抑制することができなかった。

【特許文献1】特開2003-17578号公報

【特許文献2】特開2000-232075号公報

【特許文献3】特開平10-189951号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の解決課題は、電界効果トランジスタの短チャネル効果が十分に小さく、且つ、接合容量および接合リーク電流も十分に小さい半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0008】

本発明に係る半導体装置は、第1導電型の半導体基板と、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、半導体基板に形成されたソース及びドレインと、ソー

ス内からゲート電極の直下にわたって形成された第1導電型のソース側不純物層及びドレイン内からゲート電極の直下にわたって形成された第1導電型のドレイン側不純物層とを有し、ソース側不純物層はソース内よりもゲート電極の直下において半導体基板の表面から深い位置に形成されており、ドレイン側不純物層はドレイン内よりもゲート電極の直下において半導体基板の表面から深い位置に形成されていることを特徴とする。

【0009】

本発明に係る半導体装置の製造方法は、第1導電型の半導体基板にゲート絶縁膜及びゲート電極を形成する工程と、ゲート電極の側面にサイドウォールを形成する工程と、半導体基板の露出面に表面被覆膜を形成する工程と、半導体基板に不純物を導入することによってソース及びドレインを形成する工程と、サイドウォールを除去する工程と、サイドウォールが除去された面及び表面被覆膜を介して半導体基板に第1導電型の不純物を導入することによりソース側不純物層及びドレイン側不純物層を形成する工程とを有し、ソース側不純物層はソース内からゲート電極の直下にわたって延在し且つソース内よりもゲート電極の直下において半導体基板の表面から深い位置に形成し、ドレイン側不純物層はドレイン内からゲート電極の直下にわたって延在し、且つ、ドレイン内よりもゲート電極の直下において半導体基板の表面から深い位置に形成することを特徴とする。

【発明の効果】

【0010】

本発明に係る半導体装置では、ソース側不純物層及びドレイン側不純物層を、ソース・ドレイン内よりもゲート電極の直下において半導体基板の表面から深い位置になるように形成した。したがって、接合容量および接合リーク電流の増大を防止することができ且つ短チャネル効果を十分に抑制することができる。

【0011】

本発明に係る半導体装置の製造方法では、サイドウォールが除去された面および表面被覆膜を介して半導体基板内に不純物を導入することによってソース側不純物層及びドレイン側不純物層を形成することとしたので、これらソース側不純物層及びドレイン側不純物層を、ソース・ドレイン内よりもゲート電極の直下において半導体基板の表面から深い位置になるように形成することができる。本発明に係る半導体装置の製造方法によれば、本発明の半導体装置を、簡単な工程で安価に製造することができる。

【発明を実施するための最良の形態】

【0012】

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【0013】

図1は、本実施形態の半導体装置に設けられるMOSFET(Metal-Oxide-Semiconductor Field Effect Transistor) 100の構造を概略的に示す断面図である。

【0014】

図1に示したように、シリコン基板110には、フィールド酸化膜120、チャネル領域130、ゲート絶縁膜140、ゲート電極150、サイドウォール160、高濃度不純物領域(ソース・ドレイン領域) 170、およびポケット領域180が形成される。

【0015】

フィールド酸化膜120は、素子分離膜すなわち素子形成領域と他の領域とを電気的に分離するため膜であり、素子形成領域の外周を覆うように形成される。

【0016】

チャネル領域130は、半導体基板110の素子形成領域全域に、低濃度の不純物を導入することによって、形成される。例えば、n型MOSFETの場合にはボロンまたはBF₂が、p型MOSFETの場合にはヒ素またはリンが、チャネル領域130の不純物として使用される。

【0017】

ゲート絶縁膜 140 は、チャネル領域 130 とゲート電極 150 との間を絶縁するための、薄い絶縁膜である。

【0018】

ゲート電極 150 は、ゲート絶縁膜 140 上に、例えばポリシリコン等の導電性材料によって形成される。また、ゲート電極 150 をポリシリコンで形成する場合、n 型 MOSFET の場合にはリンまたはヒ素を、p 型 MOSFET の場合にはボロンまたは BF_2 を、不純物として導入してもよい。このときの不純物濃度は、例えば、 $2 \times 10^{15} \text{ cm}^{-3}$ 程度とすることができる。

【0019】

サイドウォール 160 は、ゲート絶縁膜 140 およびゲート電極 150 の側面に形成される。

【0020】

高濃度不純物領域 170 は、MOSFET 100 のソースおよびドレインをなす領域である。高濃度不純物領域 170 は、それぞれ、ゲート電極 150 を挟んで対向するように配置される。これらの高濃度不純物領域 170 は、それぞれ、チャネル領域 130 の深い位置まで形成された領域 171 と、サイドウォール 160 の直下に形成された浅い LDD (Lightly Doped Drain) 領域 172 とを備える。周知のように、n 型 MOSFET の場合、高濃度不純物領域 170 は、ヒ素またはリンを不純物として用いて、p 型に形成される。一方、p 型 MOSFET の場合、高濃度不純物領域 170 は、ボロンまたは BF_2 を不純物として用いて、n 型に形成される。

【0021】

ポケット領域 180 は、高濃度不純物領域 170 内からチャネル領域 130 内にわたって形成される。ポケット領域 180 は、チャネル領域 130 と同じ導電型、すなわち高濃度不純物領域 170 とは逆の導電型を備える。

【0022】

ここで、高濃度不純物領域 170 内のポケット領域 181 は、高濃度不純物領域 170 の下端面 173 よりも浅い領域に位置するように形成される。これにより、ポケット領域 180 を形成する不純物が高濃度不純物領域 170 の下端面 173 に達することを防止し或いは減少させることができる。上述のように、チャネル領域 130 とポケット領域 180 とは同じ導電型である。したがって、高濃度不純物領域 170 の下端面 173 と重なるようにポケット領域 180 を形成すると、この下端面 173 との界面近傍における、チャネル領域 130 の不純物濃度が高くなる。そして、かかる部分の不純物濃度が高くなると、この部分で、高濃度不純物領域 170 とチャネル領域 130 との間の接合容量および接合リーク電流が増大してしまう。これに対して、本実施形態では、高濃度不純物領域 170 の下端面 173 よりも浅い領域に位置するようにポケット領域 180 を形成したので、この下端面 173 との界面近傍におけるチャネル領域 130 の不純物濃度を低く抑えることができる。一般に、高濃度不純物領域 170 の下端面 173 とチャネル領域 130 との界面の面積は、高濃度不純物領域 170 とチャネル領域 130 との界面の総面積の 90% 程度を占める。したがって、本実施形態によれば、接合容量および接合リーク電流を十分に低減させることができる。

【0023】

図 2 は、比較のための MOSFET 200 の構造を概略的に示す断面図である。図 2 に示した MOSFET 200 は、高濃度不純物領域 170 の下端面 173 と重なるようにポケット領域 180 が形成されている点が、本実施形態の MOSFET 100 (図 1 参照) と異なっている。また、図 3 は、本実施形態の MOSFET 100 と比較用の MOSFET 200 との不純物濃度分布を比較するためのグラフである。図 3 において、縦軸は不純物濃度 (この例ではヒ素) であり、横軸は深さである。図 3 から解るように、本実施形態の MOSFET 100 は、高濃度不純物領域 170 の下端面 173 と重ならないようにポケット領域 180 が形成されているので、下端面 173 におけるヒ素濃度 (図 3 の符号 A1 参照) が、比較例の MOSFET 200 の下端面 173 におけるヒ素濃度 (図 3 の符号

B1参照)よりも、 ΔD だけ小さくなる。

【0024】

また、チャンネル領域130内のポケット領域182は、高濃度不純物領域170内に形成されたポケット領域181よりも深い領域に、形成される。上述のように、ポケット領域の形成位置は深いほど、短チャンネル効果が小さくなる。したがって、本実施形態によれば、短チャンネル効果を減らすことができる。チャンネル領域130内に形成されたポケット領域182の下端面183は、高濃度不純物領域の下端面173と同じ深さまたは下端面183よりも深くなるように形成されることが望ましい。これにより、チャンネル領域130内のポケット領域182が十分に深い位置に形成されることになるので、短チャンネル効果を十分に小さく抑えることができる。

【0025】

さらに、チャンネル領域130内のポケット領域182は、ゲート電極150の直下領域内にまで伸びて形成されていることが望ましい。上述のように、ポケット領域180がゲート電極150の直下にまで形成されている方が、短チャンネル効果が低減するからである。

【0026】

次に、図1に示したMOSFET100の製造方法について、図4および図5を用いて説明する。

【0027】

まず、シリコン基板110に、熱酸化等によってフィールド酸化膜120を形成する。さらに、シリコン基板110の表面に、不純物イオンを注入することにより、チャンネル領域130を形成する。上述のように、チャンネル不純物としては、n型MOSFETを製造する場合には例えばボロンまたは BF_2 が、p型MOSFETを製造する場合には例えばヒ素またはリンが使用される。

【0028】

次に、シリコン基板110の表面に、絶縁薄膜401を形成する。絶縁膜401としては、例えば、シリコンのCVD (Chemical Vapor Deposition) 酸化膜を採用することができる。絶縁薄膜401の膜厚は、例えば2 nmである。そして、この絶縁薄膜401上に、ポリシリコン膜等の導電性膜402を、例えばCVD法により形成する(図4 (A) 参照)。上述のように、ゲート不純物として、n型MOSFETの場合には $2 \times 10^{15} \text{ cm}^{-3}$ 程度のリンまたはヒ素を、p型MOSFETの場合には $2 \times 10^{15} \text{ cm}^{-3}$ 程度のボロンまたは BF_2 を導入してもよい。導電性膜402の膜厚は、例えば100～200 nmである。

【0029】

そして、通常のフォトリソグラフィ技術を用いて膜401、402をパターニングすることにより、ゲート絶縁膜140およびゲート電極150を形成する。

【0030】

続いて、ゲート絶縁膜140およびゲート電極150の側面にマスク用のサイドウォール403を形成する(図4 (B) 参照)。このサイドウォール403としては、例えば、酸化シリコン膜と窒化シリコン膜との積層膜を使用することができる。このような積層構造のサイドウォール403は、例えば、酸化処理を行うことによって基板110の全面に薄いシリコン酸化膜を形成した後、CVD法等によって窒化シリコン膜を形成し、さらにこれらの積層膜をエッチバックすることにより、形成することができる。

【0031】

次に、チャンネル領域130の露出面上に、酸化膜404 (本発明の表面被覆膜) を形成する(図4 (C) 参照)。このときの酸化処理は、可能な限り低温且つ短時間で行うことが望ましい。酸化処理に伴って発生する不純物の再分布を抑制するためである。酸化膜404の膜厚は、例えば20 nm程度であるが、後のポケット領域形成工程におけるイオン注入の条件との関係を考慮して決定される(後述)。このように、酸化膜404は自己整合的に形成されるので、位置ずれ等のおそれはなく、高精度に位置を制御することができる。

【0032】

その後、酸化膜404を介して、チャネル領域130と逆の導電型の不純物イオンをこのチャネル領域130に注入することにより、高濃度不純物領域170の内の深い領域171を形成する(図5(A)参照)。このときのイオン注入条件は、酸化膜404の膜厚に応じて決定される。例えば酸化膜404の膜厚が20nmの場合、この酸化膜404が形成されない場合よりもイオン注入エネルギーを5~15eV程度大きくすれば、従来と同程度のトランジスタ特性が期待できる。

【0033】

続いて、サイドウォール403を除去する。これにより、サイドウォール403が形成されていた領域のチャネル領域130が、露出する。そして、この露出部分および酸化膜404を介してチャネル領域130と同じ導電型の不純物イオンを注入を行うことにより、ポケット領域180を形成する(図5(B)参照)。このときのイオン注入条件は、酸化膜404の膜厚に応じて決定される。すなわち、深い高濃度不純物領域171の下端面173よりも浅い領域にポケット領域181が形成されるように、イオン注入条件が決定される。ここで、ポケット領域182が形成される領域は酸化膜404が形成されておらず、したがって、このポケット領域182の深さはポケット領域181よりも深くなる。また、酸化膜404の膜厚およびイオン注入条件を適当に設定することにより、下端面173よりも浅い領域にポケット領域181を形成し且つ下端面173と同程度または深い領域にポケット領域182を形成することができる。上述のように、ポケット182が深く形成されるほど、短チャネル効果を抑制する効果が大きくなる。また、このときのイオン注入として、斜めイオン注入を行っても良い。斜めイオン注入を行わない場合でも本発明の効果をj得ることはできるが、斜めイオン注入を行うことにより短チャネル効果の抑制量をさらに増大させることができる(上述)。従来のMOSFETと同様、トランジスタ特性のばらつきを抑えるためには、斜めイオン注入の角度は30°~40°程度にすることが望ましい。

【0034】

酸化膜404を除去した後で、チャネル領域130と逆の導電型の不純物イオンを注入することにより、浅いLDD領域172を形成する。このように、本実施形態の製造方法では、酸化膜404を除去した後で、LDD領域172を形成する。酸化膜404の形成および除去を行う場合、シリコン基板110の表面を削ることになる。したがって、酸化膜404の形成前或いは形成後除去前にLDD領域172を形成すると、酸化膜404の形成・除去によって、LDD領域172と深い高濃度不純物領域171との境界領域における接合深さが浅くなって、この境界領域における抵抗が増大するおそれがある。これに対して、本実施形態では、酸化膜404の除去後にLDD領域172を形成することとしたので、この境界領域における抵抗が増大することはない。

【0035】

最後に、必要に応じて、サイドウォール160を形成してもよい。サイドウォール160は、例えばCVD法によってシリコン酸化膜を形成し、その後でこのシリコン酸化膜をエッチバックすることにより、形成することができる(図5(C)参照)。

【0036】

以上説明したように、本発明によれば、電界効果トランジスタの短チャネル効果が十分に小さく、且つ、接合容量および接合リーク電流も十分に小さい半導体装置を提供することができる。

【0037】

加えて、本発明によれば、かかる半導体装置を簡単な工程で安価に製造することができる。

【図面の簡単な説明】

【0038】

【図1】実施形態に係る電界効果トランジスタの構造を概略的に示す断面図である。

【図2】比較用の電界効果トランジスタの構造を概略的に示す断面図である。

【図 3】本実施形態の電界効果トランジスタと比較用の電界効果トランジスタとの不純物濃度分布を比較するためのグラフである。

【図 4】実施の形態に係る電界効果トランジスタの製造方法を説明するための断面工程図である。

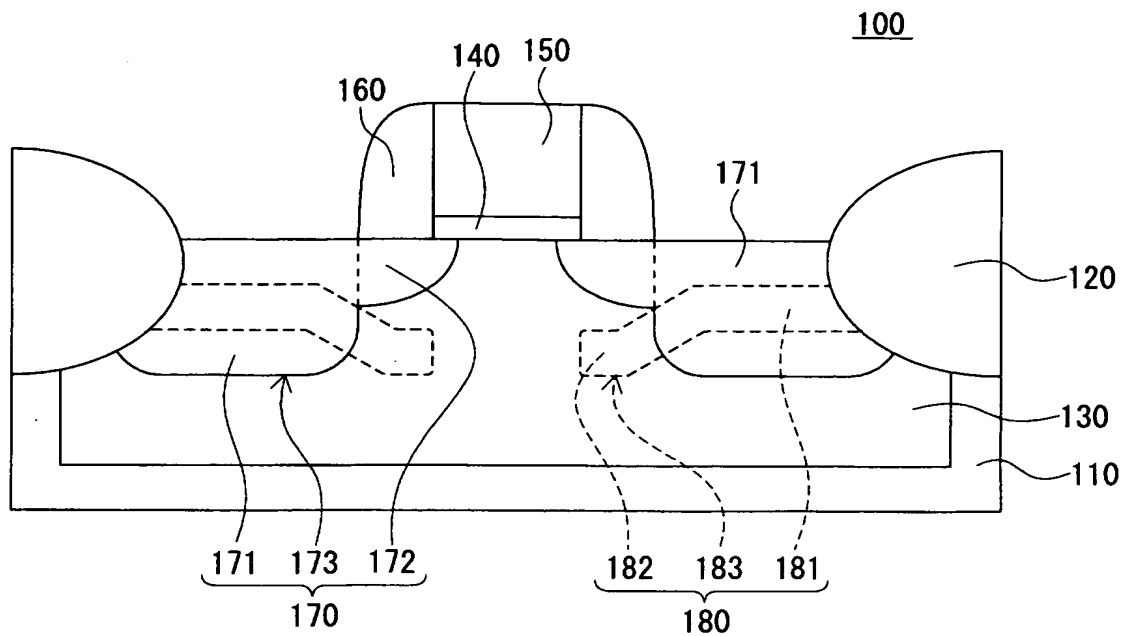
【図 5】実施の形態に係る電界効果トランジスタの製造方法を説明するための断面工程図である。

【符号の説明】

【 0 0 3 9 】

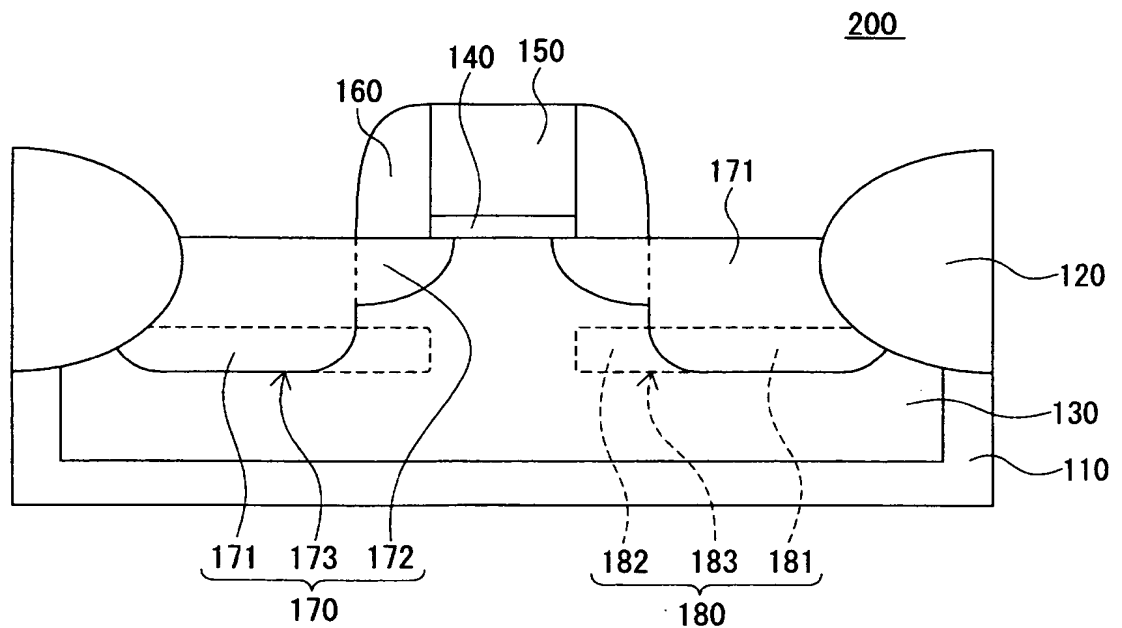
- 1 0 0 M O S F E T
- 1 1 0 シリコン基板
- 1 2 0 フィールド酸化膜
- 1 3 0 チャネル領域
- 1 4 0 ゲート絶縁膜
- 1 5 0 ゲート電極
- 1 6 0 サイドウォール
- 1 7 0 高濃度不純物領域
- 1 8 0 ポケット領域

【書類名】 図面
【図 1】



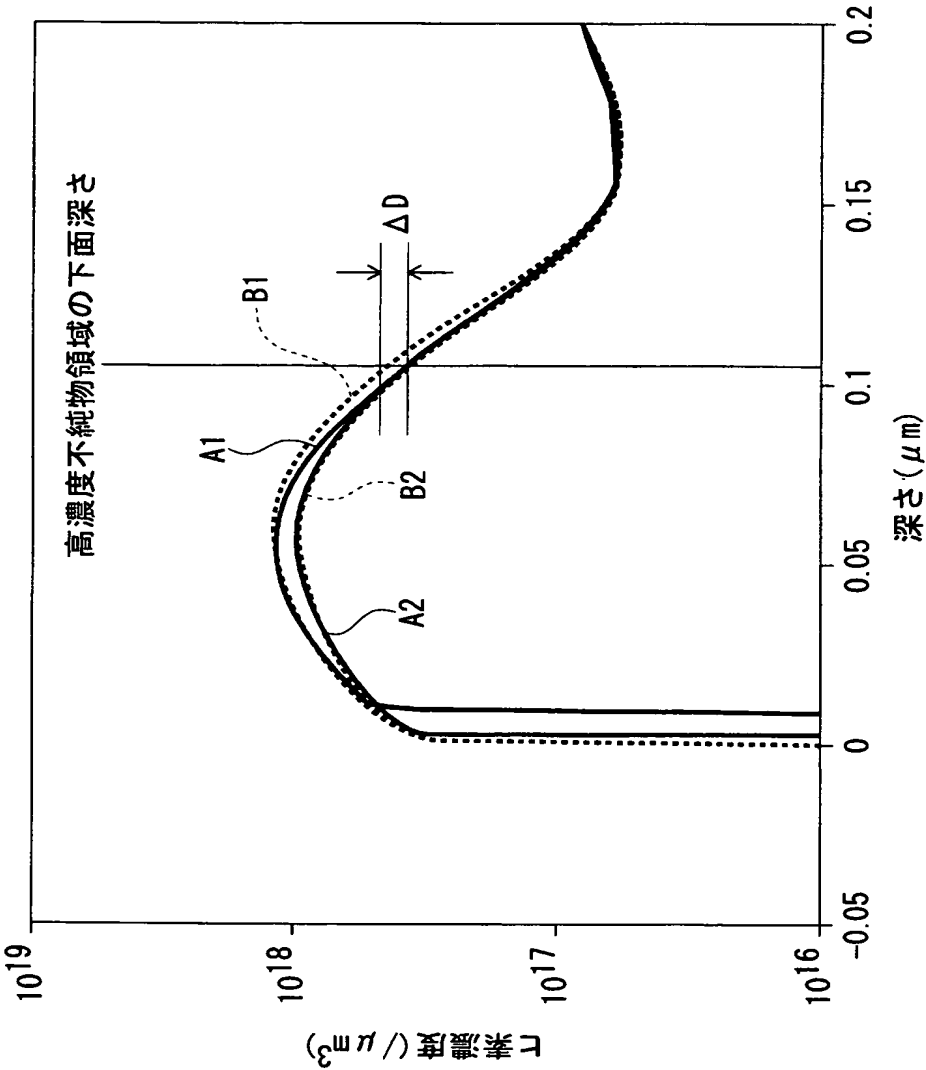
実施形態の構成

【図 2】



比較例の構成

【図 3】



A1: 高濃度不純物領域 (171) 内及び
その直下のヒ素濃度 (実施形態)

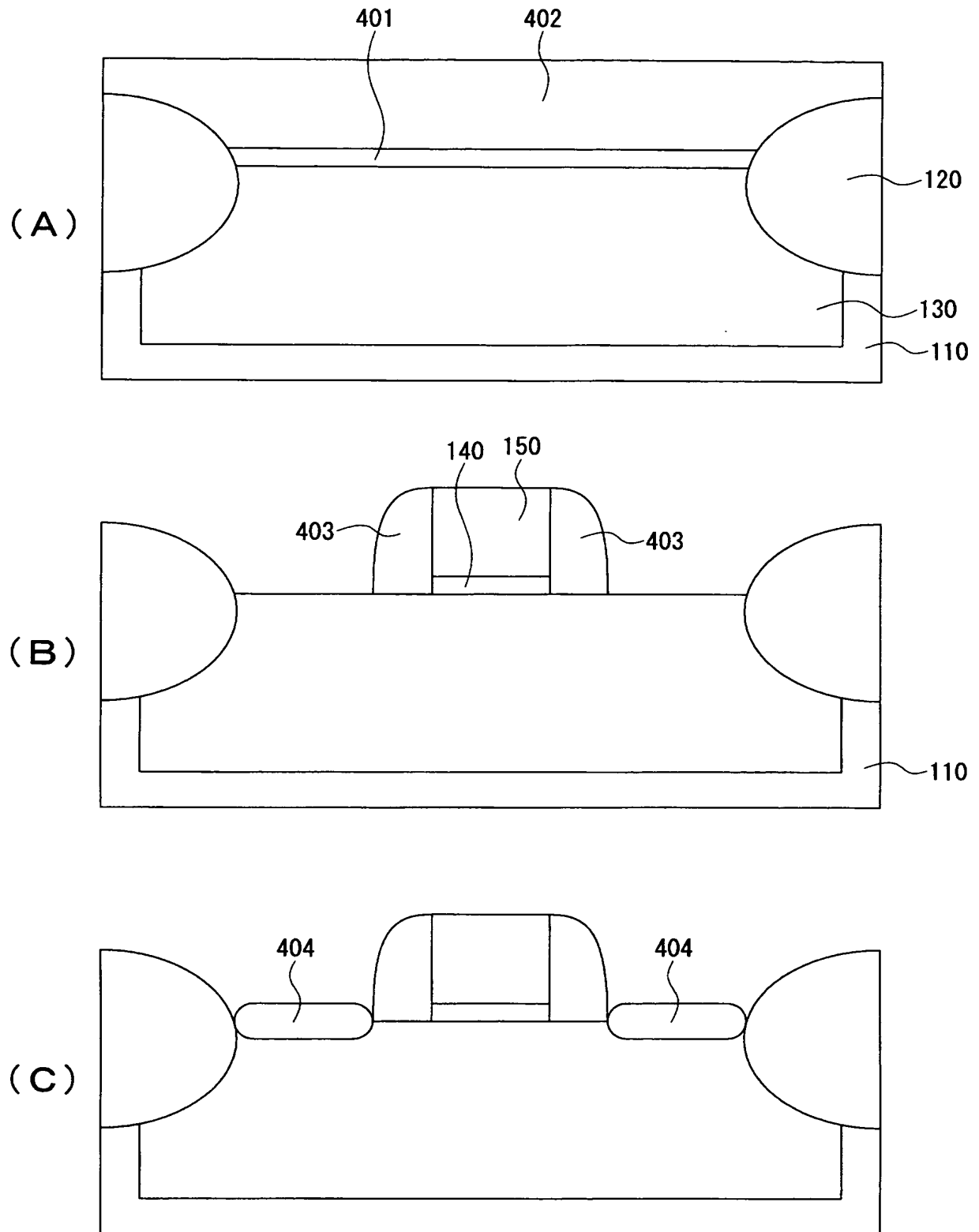
A2: LDD領域 (172) 内及びその
その直下のヒ素濃度 (実施形態)

B1: 高濃度不純物領域 (171) 内及び
その直下のヒ素濃度 (比較例)

B2: LDD領域 (172) 内及びその
その直下のヒ素濃度 (比較例)

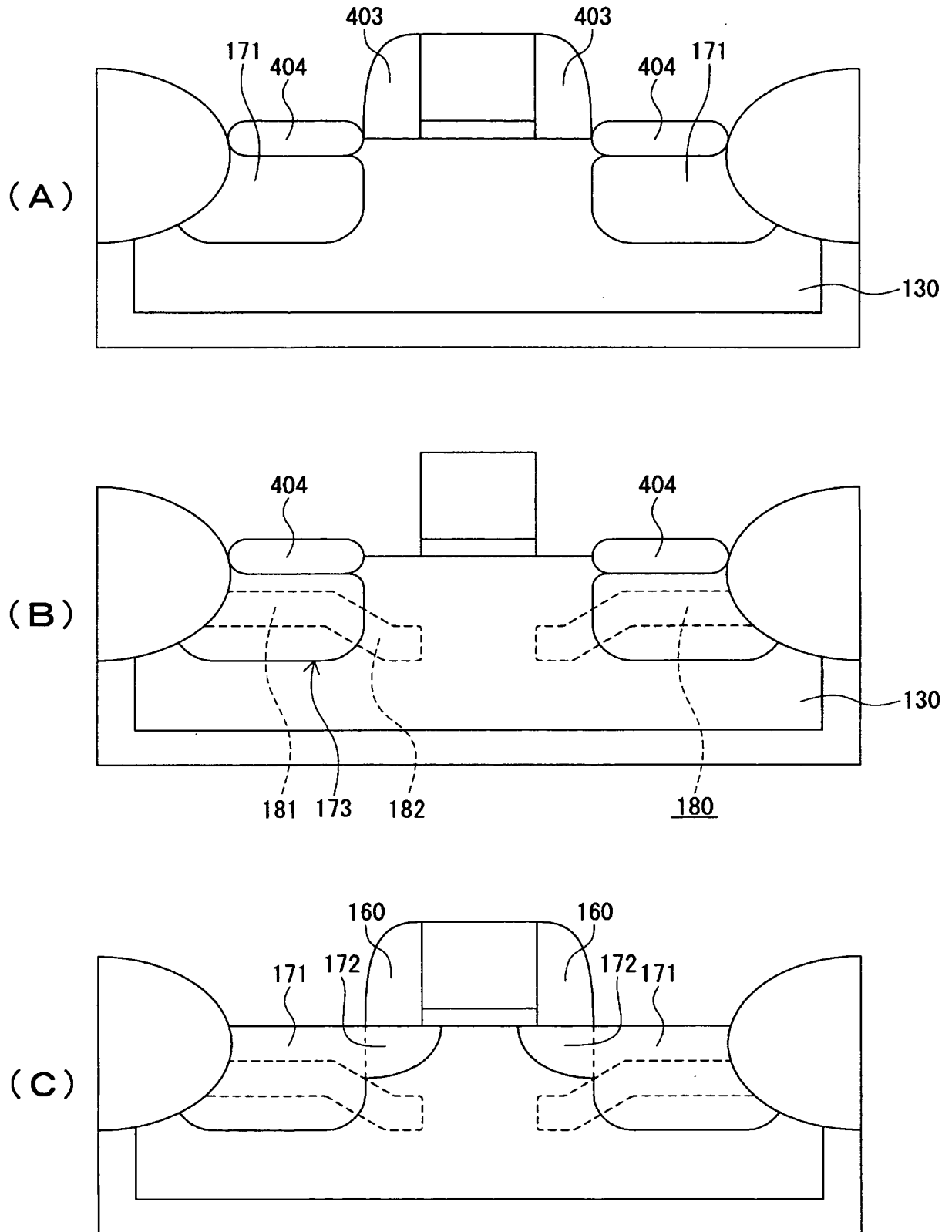
実施形態と比較例の不純物濃度比較

【図 4】



実施形態の製造工程(その1)

【図 5】



実施形態の製造工程(その2)

【書類名】 要約書**【要約】**

【課題】 電界効果トランジスタの短チャネル効果が十分に小さく、且つ、接合容量および接合リーク電流も十分に小さい半導体装置を提供する。

【解決手段】 電界効果トランジスタ 1 0 0 は、シリコン基板 1 1 0 内に形成されたチャネル領域 1 3 0 と、チャネル領域 1 3 0 上にゲート絶縁膜 1 4 0 を介して形成されたゲート電極 1 5 0 と、高濃度不純物領域 1 7 0 と、ポケット領域 1 8 0 とを備える。ポケット領域 1 8 0 は、高濃度不純物領域 1 7 0 内からチャネル領域 1 3 0 内にわたって形成される。高濃度不純物領域 1 7 0 内のポケット領域 1 8 1 がこの高濃度不純物領域 1 7 0 の下端面 1 7 3 よりも浅い領域に位置しているので、接合容量および接合リーク電流が減少する。チャネル領域 1 3 0 内のポケット領域 1 8 2 がポケット領域 1 8 1 よりも深い領域に形成されるので、短チャネル効果が減少する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 7 1 7 2 9
受付番号	5 0 3 0 1 8 0 9 1 1 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 1 月 4 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 10 月 31 日

特願 2 0 0 3 - 3 7 1 7 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社